



Patent

Customer No. 31561
Application No.: 10/707,082
Docket No. 11690-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Cheng-Sheng Lee
Application No. : 10/707,082
Filed : November 20, 2003
For : DEVICE AND METHOD FOR BREAKING LEAKAGE
CURRENT PATH
Examiner :
Art Unit : 2816

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092124836, filed on: 2003/09/09.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

April 15, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

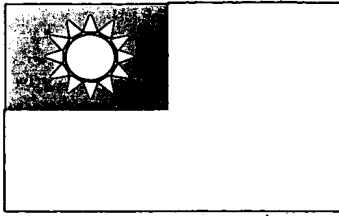
Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 09 日
Application Date

申請案號：092124836
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 20 日
Issue Date

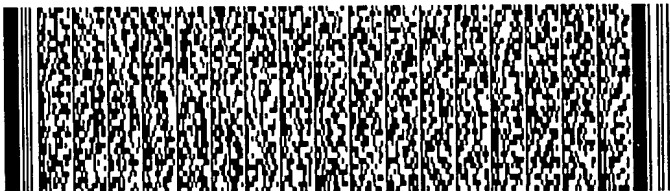
發文字號：09221178980
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	阻斷漏電流之裝置、方法及其記憶格與記憶體
	英 文	DEVICE AND METHOD OF LEAKAGE CURENT CUTER AND MEMORY CELL AND MEMORY DEVICE THEREOF
二、 發明人 (共1人)	姓 名 (中文)	1. 李正昇
	姓 名 (英文)	1. Cheng-Sheng Lee
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 高雄市三民區大順二路375號14樓
	住居所 (英 文)	1. 14F., No. 375, Dashun 2nd Rd., Sanmin District, Kaohsiung City 807, Taiwan (R.O.C.)
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur Y.C. Chiao



四、中文發明摘要 (發明名稱：阻斷漏電流之裝置、方法及其記憶格與記憶體)

一種阻斷漏電流之裝置，用於具有一記憶格陣列之一記憶體裝置中。該裝置包括一行選擇線用以選擇一記憶體陣列中一記憶格之一行，一列選擇線用以選擇記憶體陣列中記憶格之一列，以及一開關裝置，連接到記憶格、一電源供應端、行選擇線與列選擇線。其中當行選擇線收到一行關閉信號以及列選擇線收到一列關閉信號時，開關裝置會關閉，使得電源供應端所供應之一電源無法傳送至該記憶格。其中當行選擇線以及列選擇線至少其中之一，並無收到行關閉信號與列關閉信號至少其中之一時，電源供應端所供應之電源可以傳送至記憶格中。

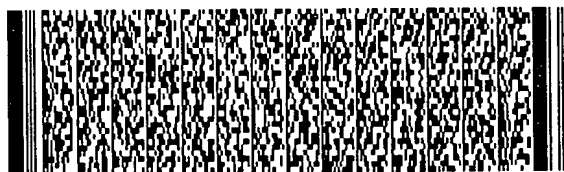
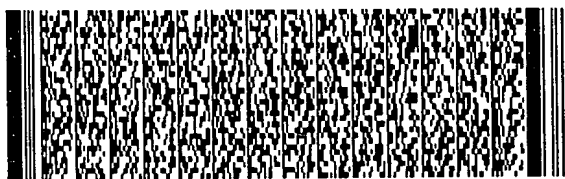
伍、(一)、本案代表圖為：第____3____圖

(二)、本案代表圖之元件代表符號簡單說明：

302：記憶格 304：阻斷漏電流之裝置 306、
CSL：行選擇線 308、EQSEL：列選擇線 310：開關

六、英文發明摘要 (發明名稱：DEVICE AND METHOD OF LEAKAGE CURENT CUTER AND MEMORY CELL AND MEMORY DEVICE THEREOF)

A device and method for cutting the leakage current caused by a defect in a memory cell of a memory array are provided. The device includes a column selection line, a row selection line, a switch device connected to the column selection line, the row selection line, a power source and a memory cell. When a column turn-off signal is inputted to the column selection line and a row



四、中文發明摘要 (發明名稱：阻斷漏電流之裝置、方法及其記憶格與記憶體)

裝置 312 : 電源供應端 322、324 : 電晶體

六、英文發明摘要 (發明名稱：DEVICE AND METHOD OF LEAKAGE CURENT CUTER AND MEMORY CELL AND MEMORY DEVICE THEREOF)

turn-off signal is inputted to the row selection line, the switch device is turned off and thus a power from the power source can not be applied into the memory cell. When at least one of the column selection line and the row selection line is not applied by the turn-off signal, the switch device is not turned off and the current can be applied to the memory cell.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

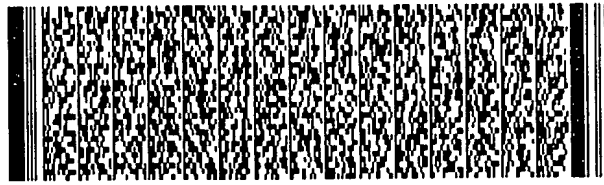
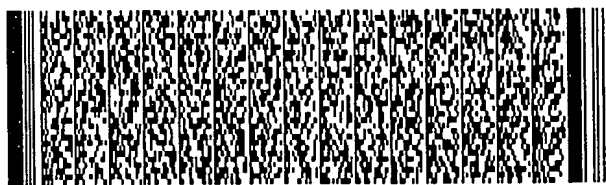
發明所屬之技術領域

本發明是有關於一種記憶格與記憶體之電路裝置與方法，且特別是有關於一種阻斷記憶格與記憶體中之漏電流之電路裝置與方法。

先前技術

傳統上，一半導體記憶體(memory)裝置，基本上可粗分為非揮發性(non-volatile)記憶體，以及揮發性(volatile)的隨機存取記憶體(random access memory, "RAM")兩種。其中非揮發性記憶體在電源中斷後仍可保存原有儲存之資料，而揮發性記憶體則是其中所儲存的資料會隨電源的中斷而消失，如靜態隨機存取記憶體(static random access memory, "SRAM")，以及動態隨機存取記憶體(dynamic random access memory, "DRAM")等。

對於揮發性記憶體而言，其中靜態隨機存取記憶體(SRAM)與動態隨機存取記憶體(DRAM)之差異是，由於SRAM主要的儲存單位為電晶體，所以其速度較快，約為DRAM的5倍，但是其成本與體積，卻比DRAM高上許多。因此，由於價格與體積上的考量，DRAM成為目前最廣泛使用的記憶體。DRAM是利用電容來儲存資料，由於電容具有放電特性，存在電容之中的電荷會逐漸消失，屬於揮發性記憶體，故需要額外的週期性更新(refresh)動作。一但停止供電，裡面儲存的資料就會消失，即使正常供電，內部資料也會因為自然的放電而自動流失，所以必須定時進行更新的動作。

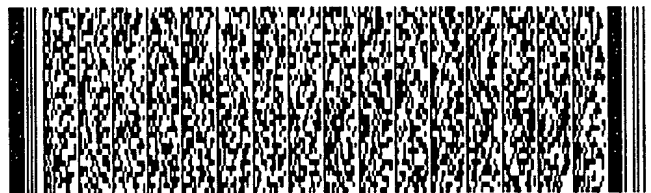
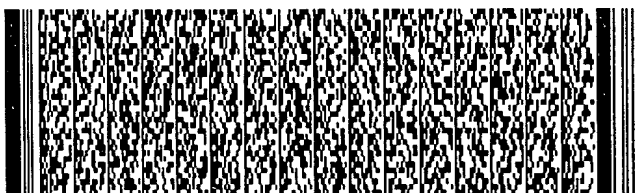


五、發明說明 (2)

基本上，DRAM的基本單位都是由一個電晶體和一個電容器組成。請參照第1圖，圖中為DRAM之一個基本單位的結構示意圖，其中電容器為儲存有電荷或是沒有電荷的狀態，決定該DRAM的邏輯狀態是1還是0。當DRAM中之記憶格，因為密度越來越高，面積越來越小，因此越來越無法避免製程上的缺陷(defect)或錯誤所造成之短路(short)。請參照第1圖，例如說，一傳統DRAM記憶體陣列，具有記憶格102、104以及一感應放大器106。其中記憶格102之位元線BLL與字元線WLL在A點上因為製程缺陷造成了短路。如此會產生一漏電流F，亦即一電流由電壓供應端VBLEQ經由位元線BLL由記憶格102中之電容之接地端流出。此漏電流，在記憶體待機(stand by)時，會消耗不少電源，待機時間越長，所消耗的電源也越多。

一般來講，因為DRAM為了要保有一定程度的高度訊號雜音比(signal to noise ratio, S/N ratio)，所以無法以減少電容值來減少漏電量。通常此漏電流，對每一短路點約為300mA。因此，目前習知上，便出現一改良方法。第2圖係繪示一改良之傳統DRAM記憶格之電路結構。如第2圖所示，在記憶格102之位元線預充電器(BL precharger)上加入一限流裝置(current-limit device)，例如說具有較低起始電壓(threshold voltage)之一空乏型(depletion)NMOS電晶體212以減少漏電流。藉由此限流裝置，此漏電流可以被降低到每一短路點約為15mA。

然而，上述限流裝置之缺點是，即使DRAM記憶體陣列



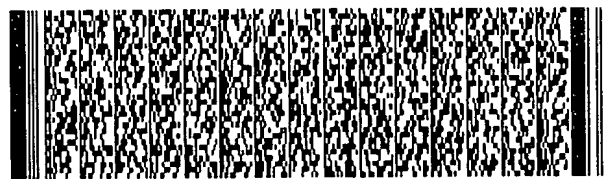
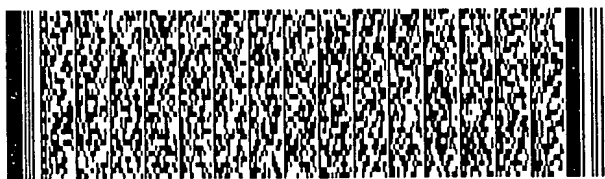
五、發明說明 (3)

中有缺陷之記憶格，以預留(redundancy)的良好記憶格取代，此漏電流依然會存在，並且會延長記憶格預充電(precharge)之時間。而且更嚴重的是，此漏電流之總量，與DRAM記憶體陣列中之有缺陷記憶格之數目成正比。對於今日所有電子裝置之耗電量，均趨向於減少之需求下，例如說，對可隨身攜帶式(portable)之電子產品（例如筆記型電腦）等，此漏電流會相當程度地減少電池之使用時間，降低記憶體之速度，並會提高電腦之溫度。因此，一種可以阻斷漏電流之方法及其記憶格與記憶體是必須的。

發明內容

因此本發明的目的就是提供一種可以阻斷漏電流之裝置、方法及其記憶格與記憶體，以解決傳統DRAM記憶體中，由漏電流所造成之電源消耗以及溫度升高等問題。

為了達成本發明之一目的，本發明提出一種阻斷漏電流之裝置，用於具有一記憶格陣列之一記憶體裝置中，包括一行選擇線用以選擇一記憶體陣列中一記憶格之一行，一列選擇線用以選擇記憶體陣列中記憶格之一列，以及一開關裝置，連接到記憶格、一電源供應端、一行選擇線與一列選擇線。其中當行選擇線收到一行關閉信號以及列選擇線收到一列關閉信號時，開關裝置會關閉，使得電源供應端所供應之一電源無法傳送至記憶格，其中當行選擇線以及列選擇線至少其中之一，並無收到行關閉信號與列關閉信號至少其中之一時，電源供應端所供應之電源可以傳送至



五、發明說明 (4)

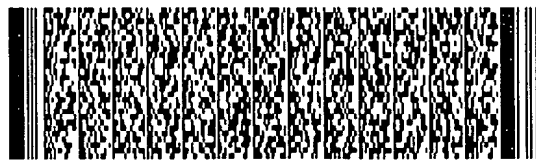
記憶格。

如上所述之阻斷漏電流之裝置，其中該行關閉信號以及該列關閉信號係可由一待機(stand-by)信號所控制。

為了達成本發明之一目的，本發明提出一種阻斷漏電流之方法，用於具有一陣列之一電路中，該方法包括，首先，選擇一記憶體陣列中一記憶格對應之某一行，其次，選擇記憶體陣列中記憶格對應之某一系列，之後，當該行收到一行關閉信號以及該列收到一系列關閉信號時，一電源供應端所供應之一電源無法傳送至該記憶格。其中當該行以及該列至少其中之一，並無收到該行關閉信號與該列關閉信號至少其中之一時，該電源供應端所供應之該電源可以傳送至該記憶格。

如上所述之阻斷漏電流之方法，其中該行關閉信號以及該列關閉信號係可由一待機(stand-by)信號所控制。

為了達成本發明之一目的，本發明提出一種記憶體裝置，包括一行選擇線用以選擇一記憶體陣列中一記憶格之一行，一系列選擇線用以選擇記憶體陣列中該記憶格之一系列，以及一阻斷漏電流之裝置，其包括一開關裝置，連接到該記憶格、一電源供應端、行選擇線與列選擇線。其中當行選擇線收到一行關閉信號以及列選擇線收到一系列關閉信號時，該開關裝置會關閉，使得該電源供應端所供應之一電源無法傳送至該記憶格，其中當行選擇線以及列選擇線至少其中之一，並無收到行關閉信號與列關閉信號至少其中之一時，該電源供應端所供應之該電源可以傳送至該



五、發明說明 (5)

記憶格。

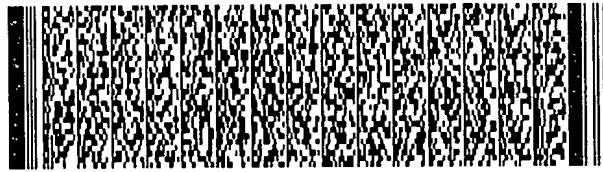
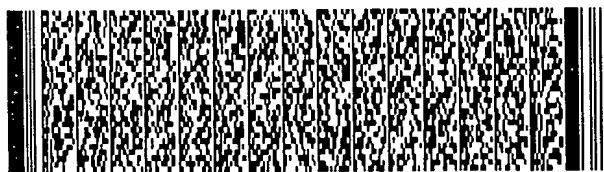
如上所述之記憶體裝置，其中該行關閉信號以及該列關閉信號係可由一待機(stand-by)信號所控制。更佳的是，其中該記憶體陣列，包括一DRAM記憶體陣列。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

以下將列舉實施例以說明本發明，該些實施例只是用於說明本發明，並非用以限制本發明之專利範圍，本發明亦不受限於只能使用於該些實施例中。

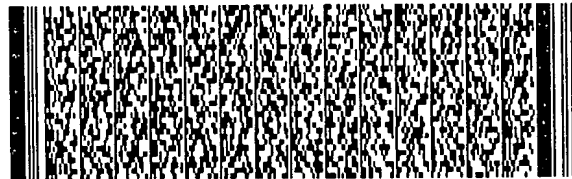
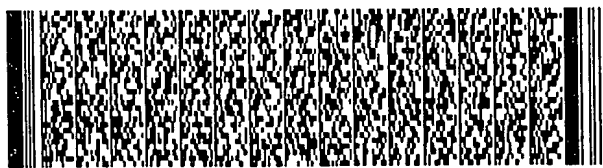
第3圖為一電路示意圖，繪示一DRAM記憶體之記憶格(memory cell)之電路結構，係依據本發明之一實施例。第4圖則是一電路示意圖，繪示一DRAM記憶體陣列之電路結構，係依據本發明之一實施例。請參照第3圖與第4圖，在本發明之一較佳實施例中，一記憶體陣列中，至少具有一記憶格302、一感應放大器及其週邊電路332、以及一阻斷漏電流之裝置(leakage current cutter)304，包括一行選擇線(column select line)306、一列選擇線(row select line)308以及一開關裝置310。其中行選擇線306，係用以選擇一記憶體陣列(memory array)402中特定之某一行，可以為記憶體陣列402中之行選擇線(column select line)CSL，或是記憶體陣列402中之一全域行選擇線(global column select line)。其中列選擇線308，係



五、發明說明 (6)

用以選擇記憶體陣列402中特定之某一系列，可以為記憶體陣列402中之等位選擇線(equalized select line)EQSEL，用於選擇記憶體陣列402中特定之某一系列，並傳送記憶體陣列402中之一局部記憶區塊(local memory block)404之缺陷修補訊號(fault-free repair signal)。開關裝置310，被連接到記憶格302、一電源供應端312、行選擇線306與列選擇線308。其中電源供應端312，可以連接到一記憶體陣列中之半位元線高電位(half bit-line high voltage)VBLEQ。開關裝置310，係藉由行選擇線306輸入一行關閉信號，與列選擇線308輸入一列關閉信號，來控制電源供應端312之電源是否傳送到記憶格302中。其中當行選擇線306收到一行關閉信號，以及列選擇線308同時收到一列關閉信號時，開關裝置310會關閉，使得電源供應端312所供應之電源無法傳送至記憶格302。而當行選擇線306以及列選擇線308至少其中之一，並無收到行關閉信號或列關閉信號時，電源供應端312所供應之電源可以傳送至記憶格302。

在本發明之一較佳實施例中，如第3圖所示，開關裝置310可以是由兩個PMOS電晶體322與324所組成，或者是由兩個PMOSFET電晶體所組成。其中PMOS電晶體322之閘極連接到行選擇線306，其源極與汲極則是分別連接到電源供應端312與記憶格302。其中當行選擇線306收到一行關閉信號時，PMOS電晶體322會關閉，使得電源供應端312之電流無法輸入至記憶格302中。同樣地，PMOS電晶體324之



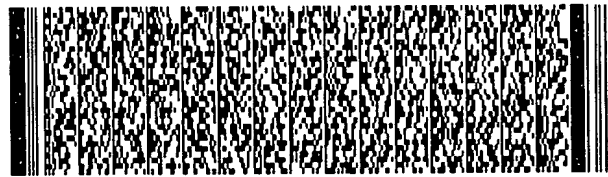
五、發明說明 (7)

開極被連接到列選擇線308，其源極與汲極則是分別連接到電源供應端312與記憶格302。當列選擇線308收到一列關閉信號時，PMOS電晶體324會關閉，使得電源供應端312之電流無法輸入至記憶格302中。因此，只有當行選擇線306與列選擇線308同時收到行關閉信號與列關閉信號時，開關裝置310才會關閉。只要行選擇線306與列選擇線308其中之一並無收到行關閉信號或列關閉信號，開關裝置310不會關閉。

綜上所述，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由行選擇線與列選擇線同時選擇該記憶格，使得電源供應端之電流無法輸入到該記憶格中，達成降低漏電流之目的。例如說，在記憶體陣列為待機(stand-by)狀態時，可將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成大量減少不必要的電源消耗之目的。

以下，在本發明之一較佳實施例中，敘述如何產生行關閉信號與列關閉信號。第5圖與第6圖為電路示意圖，個別繪示產生一行選擇信號與一列選擇信號之電路結構，係依據本發明之實施例。

在第5圖中，例如說，即是在原始行選擇信號CSL0與行選擇線306之間，加入一電路方塊502，以藉由一待機信號(stand-by signal)STBY與一行選擇啟動信號(fuse signal of CSL)FSCSL來控制原始行選擇信號CSL0，以輸出一最終之行選擇信號CSL，其中該選擇信號CSL可用以輸

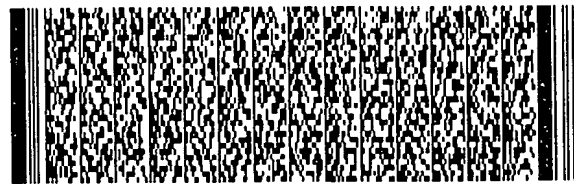


五、發明說明 (8)

入到行選擇線306。在第6圖中，例如說，即是以一電路方塊602，藉由一待機信號STBY與一列選擇啟動信號(fuse signal of EQSEL)FSEQSEL來輸出一最終之列選擇信號EQSEL，其中選擇信號EQSEL可以輸入到列選擇線308。第5圖與第6圖中所示之電路方塊502與602之示意圖，只是做為一示範，並非用以限制本發明之範圍。

對於一正常晶粒(normal good die)，其行選擇啟動信號FSCSL與列選擇啟動信號FSEQSEL，不論是在動作(active)或是待機(stand-by)狀態，皆位於一低位態(low state)。因此，由電路方塊502可知，不論待機信號STBY是位於一低位態(low state)（代表記憶體是在一動作狀態），或是一高位態(high state)（代表記憶體是在一待機狀態），因為行選擇啟動信號FSCSL是輸入到一及閘(AND gate)504，因此其輸出必為一低位態。之後此低位態輸入一反或閘(NOR gate)506。此時因為，對於一正常記憶格區塊，原始行選擇信號CSL0不論是在動作或是待機狀態皆是位於一低位態，因此反或閘(NOR gate)506之輸出必為一高位態，再經由一反相器508後，最後得到之CSL為一低位態。此外，由電路方塊602可知，不論待機信號STBY是位於一低位態，或是一高位態，因為列選擇啟動信號FSEQSEL是輸入到一反及閘(NAND gate)604，因此其輸出必為一高位態，再經由一反相器606後，最後得到之EQSEL為一低位態。

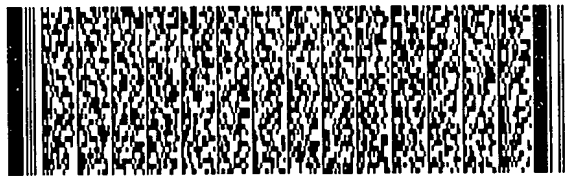
在上述之實施例中，對於一正常晶粒，其行選擇啟動



五、發明說明 (9)

信號FSCSL與列選擇啟動信號FSEQSEL，不論是在動作或是待機狀態，皆是位於一低位態。因此，不論記憶體是在一動作狀態（待機信號STBY位於一低位態），或是記憶體是在一待機狀態（待機信號STBY位於一高位態），最後輸入到行選擇線306之行選擇信號CSL，與輸入到列選擇線308之列選擇信號EQSEL，皆是位於低位態。此結果即繪示於第7圖中。該圖中記憶體在一動作狀態時，待機信號STBY是位於一低位態VSS，而記憶體在一待機狀態時，待機信號STBY是位於一高位態VDD。因為輸入到行選擇線306與列選擇線308之信號皆位於低位態VSS，因此開關裝置310中之二電晶體開關皆為導通，表示此記憶格302被選擇了而被打開。因此來自電源供應端312之電源可以輸入到記憶格302中，此時記憶格302之位元線BLL之電位，不論記憶體是在動作狀態或是待機狀態時，例如說，皆可以是為半位元線高電位VBLEQ。

相對地，在上述之實施例中，對於一有缺陷之記憶格區塊。則在記憶體啟動(power on)後，該有缺陷之記憶格之行選擇啟動信號FSCSL與列選擇啟動信號FSEQSEL，不論是在動作或是待機狀態，皆位於一高位態。因此，由電路方塊502可知，因為行選擇啟動信號FSCSL是輸入到一及閘(AND gate)504，此時及閘(AND gate)504之輸出與待機信號STBY相同。當記憶體是在一待機狀態（待機信號STBY位於一高位態）時，及閘(AND gate)504之輸出亦為一高位態，該輸出經過一反或閘(NOR gate)506後，必為一低位

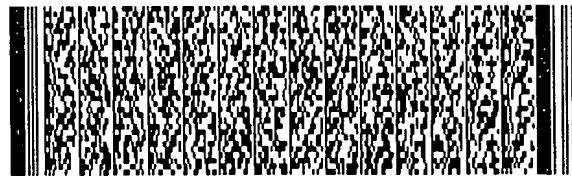


五、發明說明 (10)

態，最後經一反相器508得到之CSL是為一高位態。此外，由電路方塊602可知，因為列選擇啟動信號FSEQSEL，不論是在動作或是待機狀態，皆位於一高位態，因此，反及閘(NAND gate)604之輸出，與待機信號STBY之位態相反，再經由一反相器606後，最後得到之EQSEL與待機信號STBY之位態相同。

在上述之實施例中，對於一有缺陷之記憶格區塊，其行選擇啟動信號FSCSL與列選擇啟動信號FSEQSEL，不論是在動作或是待機狀態，皆位於高低位態。因此，最後輸入到行選擇線306之行選擇信號CSL，與輸入到列選擇線308之列選擇信號EQSEL，皆是與待機信號STBY之位態相同。此結果即繪示於第8圖中。該圖中記憶體在一動作狀態時，待機信號STBY是位於一低位態VSS，而記憶體在一待機狀態時，待機信號STBY是位於一高位態VDD。在一待機狀態時，因為輸入到行選擇線306與列選擇線308之信號皆位於高位態VDD，因此開關裝置310中之二電晶體開關皆為關閉，因此來自電源供應端312之電源無法進入記憶格302中，此時，輸入到行選擇線306與列選擇線308之信號之位於高位態VDD之信號，即為本發明之行關閉信號與列關閉信號。

在上述實施例中，應當注意的是，對於一記憶體陣列中一特定記憶格，只有當該記憶格之行選擇線與列選擇線同時被選擇時，電源供應端之電流才無法輸入到該記憶格中。只要該記憶格之行選擇線與列選擇線至少其中之一，



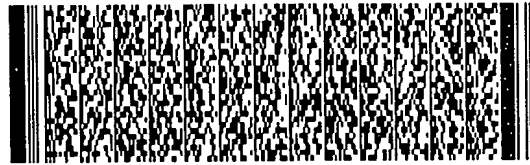
五、發明說明 (11)

沒有被選擇時，電源供應端之電流還是可以輸入到該記憶格中。

此外，在本發明之另一較佳實施例中，提供一阻斷漏電流之方法，該方法包括了，首先，選擇一記憶體陣列402中一記憶格302對應之一行306；其次，選擇記憶體陣列402中記憶格302對應之一列308；當該行306收到一行關閉信號以及該列308收到一列關閉信號時，一電源供應端312所供應之一電源無法傳送至記憶格302中；其中當該行306以及該列308至少其中之一，並無收到該行關閉信號與該列關閉信號至少其中之一時，電源供應端312所供應之該電源可以傳送至記憶格302。

在上述之阻斷漏電流方法中，較佳的是，該行關閉信號以及該列關閉信號係由一待機(stand-by)信號所控制。

此外，在本發明之另一較佳實施例中，提供一記憶體裝置，包括一行選擇線306，用以選擇一記憶體陣列402中一記憶格302之一行306；一列選擇線308，用以選擇記憶體陣列402中記憶格302之一列308；以及一種阻斷漏電流之裝置304，其包括一開關裝置310，連接到記憶格302、一電源供應端312、行選擇線306與列選擇線308；其中當行選擇線306收到一行關閉信號以及列選擇線308收到一列關閉信號時，開關裝置310會關閉，使得電源供應端312所供應之一電源無法傳送至記憶格302中，其中當行選擇線306以及列選擇線308至少其中之一，並無收到行關閉信號與列關閉信號至少其中之一時，電源供應端312所供應之



五、發明說明 (12)

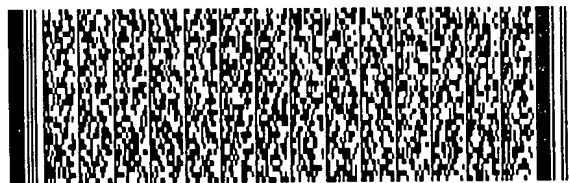
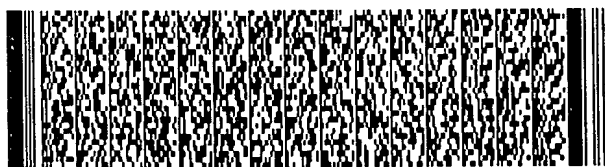
電源可以傳送至記憶格302中。

如上所述之記憶體裝置中，較佳的是，其中記憶體陣列402，包括一DRAM記憶體陣列。

綜上所述，透過本發明之阻斷漏電流之裝置與方法，例如說，當記憶體陣列中某一記憶格為有缺陷之記憶格時，可以藉由行選擇線與列選擇線同時唯一地選擇該記憶格，使得電源供應端之電流無法輸入到該記憶格中，達成阻斷漏電流之目的。例如說，在該記憶體陣列為待機狀態時，將所有有缺陷之記憶格之電源輸入關閉，因此可以完全阻斷由有缺陷之記憶格所引起之漏電流，達成阻斷不必要的電源消耗之目的。

綜上所述，上述本發明中之實施例其中之一，係有關於一位元線與字元線因製程缺陷所引起之漏電流之阻斷裝置與方法。然而，本發明並不限於上述之實施例，只要是一記憶體陣列中之有缺陷記憶格，皆可以使用本發明之裝置與方法，以一行選擇線與一列選擇線，特定地個別選擇該有缺陷記憶格，並阻斷其漏電流。更佳的是，藉由提供一待機信號，透過該行選擇線與該列選擇線，特定地選擇阻斷漏電流之時機。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖為一電路示意圖，繪示傳統DRAM記憶格之電路結構；

第2圖為一電路示意圖，繪示另一傳統DRAM記憶格之電路結構；

第3圖為一電路示意圖，繪示一DRAM記憶格之電路結構，係依據本發明之一實施例；

第4圖為一電路示意圖，繪示一DRAM記憶體陣列之電路結構，係依據本發明之一實施例；以及

第5圖為一電路示意圖，繪示產生一行選擇信號之電路結構，係依據本發明之一實施例；

第6圖為一電路示意圖，繪示產生一列選擇信號之電路結構，係依據本發明之一實施例；

第7圖為一電路波形圖，繪示一正常記憶格區塊之信號之波形，係依據本發明之一實施例；以及

第8圖為一電路波形圖，繪示一缺陷記憶格區塊之信號之波形，係依據本發明之一實施例。

圖式標示說明

102、104、302：記憶格

106：感應放大器

212：NMOS電晶體

304：阻斷漏電流之裝置

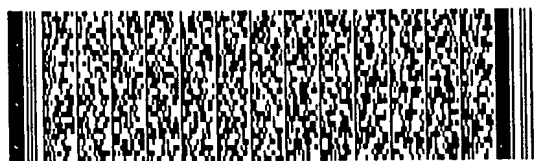
306、CSL：行選擇線

308、EQSEL：列選擇線



圖式簡單說明

310 : 開關裝置
312 : 電源供應端
322、324 : 電晶體
332 : 感應放大器及其週邊電路
402 : 記憶體陣列
BLL : 位元線
WLL : 字元線
404 : 局部記憶區塊
502、602 : 電路方塊
504 : 及閘
506 : 反或閘
508、606 : 反相器
604 : 反及閘
VBLEQ : 半位元線高電位
STBY : 待機信號
FSCSL : 行選擇啟動信號
FSEQSEL : 列選擇啟動信號



六、申請專利範圍

1. 一種阻斷漏電流之裝置，用於具有一記憶格陣列之一記憶體裝置中，包括：

一行選擇線(column selection line)，用以選擇一記憶體陣列中一記憶格之一行；

一列選擇線(row selection line)，用以選擇該記憶體陣列中該記憶格之一列；以及

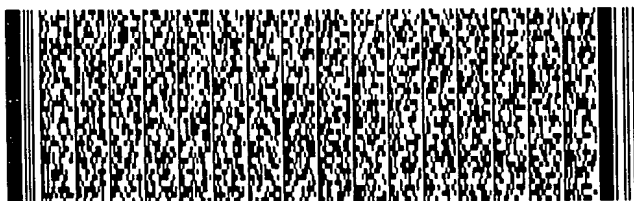
一開關裝置，連接到該記憶格、一電源供應端、該行選擇線與該列選擇線；

其中當該行選擇線收到一行關閉信號以及該列選擇線收到一列關閉信號時，該開關裝置會關閉，使得該電源供應端所供應之一電源無法傳送至該記憶格，其中當該行選擇線以及該列選擇線至少其中之一，並無收到該行關閉信號與該列關閉信號至少其中之一時，該電源供應端所供應之該電源可以傳送至該記憶格。

2. 如申請專利範圍第1項所述之阻斷漏電流之裝置，其中該開關裝置更包括：

一第一開關，連接到該記憶格、該電源供應端以及該行選擇線，其中當該行選擇線收到該行關閉信號時，該第一開關會關閉，使得該電源無法傳送至該記憶格，其中當該行選擇線並無收到該行關閉信號時，該電源可以傳送至該記憶格；以及

一第二開關，連接到該記憶格、該電源供應端以及該列選擇線，其中當該列選擇線收到該列關閉信號時，該第二開關會關閉，使得該電源無法傳送至該記憶格，其中



六、申請專利範圍

當該列選擇線並無收到該列關閉信號時，該電源可以傳送至該記憶格。

3. 如申請專利範圍第2項所述之阻斷漏電流之裝置，其中該第一開關以及該第二開關，個別均包括一PMOS電晶體與PMOSFET電晶體其中之一。

4. 如申請專利範圍第1項所述之阻斷漏電流之裝置，其中該行關閉信號以及該列關閉信號係由一待機(stand-by)信號所控制。

5. 一種阻斷漏電流之方法，用於具有一陣列之一電路中，該方法包括：

選擇一記憶體陣列中一記憶格對應之某一行；

選擇該記憶體陣列中該記憶格對應之某一系列；以及

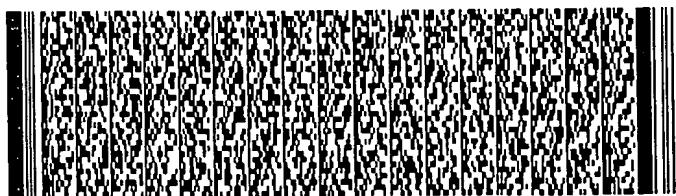
當該行收到一行關閉信號以及該列收到一系列關閉信號時，一電源供應端所供應之一電源無法傳送至該記憶格；

其中當該行以及該列至少其中之一，並無收到該行關閉信號與該列關閉信號至少其中之一時，該電源供應端所供應之該電源可以傳送至該記憶格。

6. 如申請專利範圍第5項所述之阻斷漏電流之方法，其中該行關閉信號以及該列關閉信號係由一待機(stand-by)信號所控制。

7. 一種記憶體裝置，包括：

一行選擇線(column selection line)，用以選擇一記憶體陣列中一記憶格之一行；



六、申請專利範圍

一 列選擇線(row selection line)，用以選擇該記憶體陣列中該記憶格之一列；以及

一阻斷漏電流之裝置，其包括一開關裝置，連接到該記憶格、一電源供應端、該行選擇線與該列選擇線；

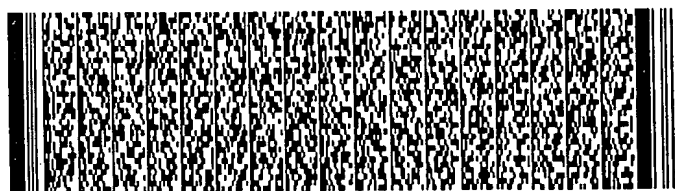
其中當該行選擇線收到一行關閉信號以及該列選擇線收到一列關閉信號時，該開關裝置會關閉，使得該電源供應端所供應之一電源無法傳送至該記憶格，其中當該行選擇線以及該列選擇線至少其中之一，並無收到該行關閉信號與該列關閉信號至少其中之一時，該電源供應端所供應之該電源可以傳送至該記憶格。

8. 如申請專利範圍第7項所述之記憶體裝置，其中該開關裝置更包括：

一第一開關，連接到該記憶格、該電源供應端以及該行選擇線，其中當該行選擇線收到該行關閉信號時，該第一開關會關閉，使得該電源無法傳送至該記憶格，其中當該行選擇線並無收到該行關閉信號時，該電源可以傳送至該記憶格；以及

一第二開關，連接到該記憶格、該電源供應端以及該列選擇線，其中當該列選擇線收到該列關閉信號時，該第二開關會關閉，使得該電源無法傳送至該記憶格，其中當該列選擇線並無收到該列關閉信號時，該電源可以傳送至該記憶格。

9. 如申請專利範圍第8項所述之記憶體裝置，其中該第一開關以及該第二開關，個別均包括一PMOS電晶體與



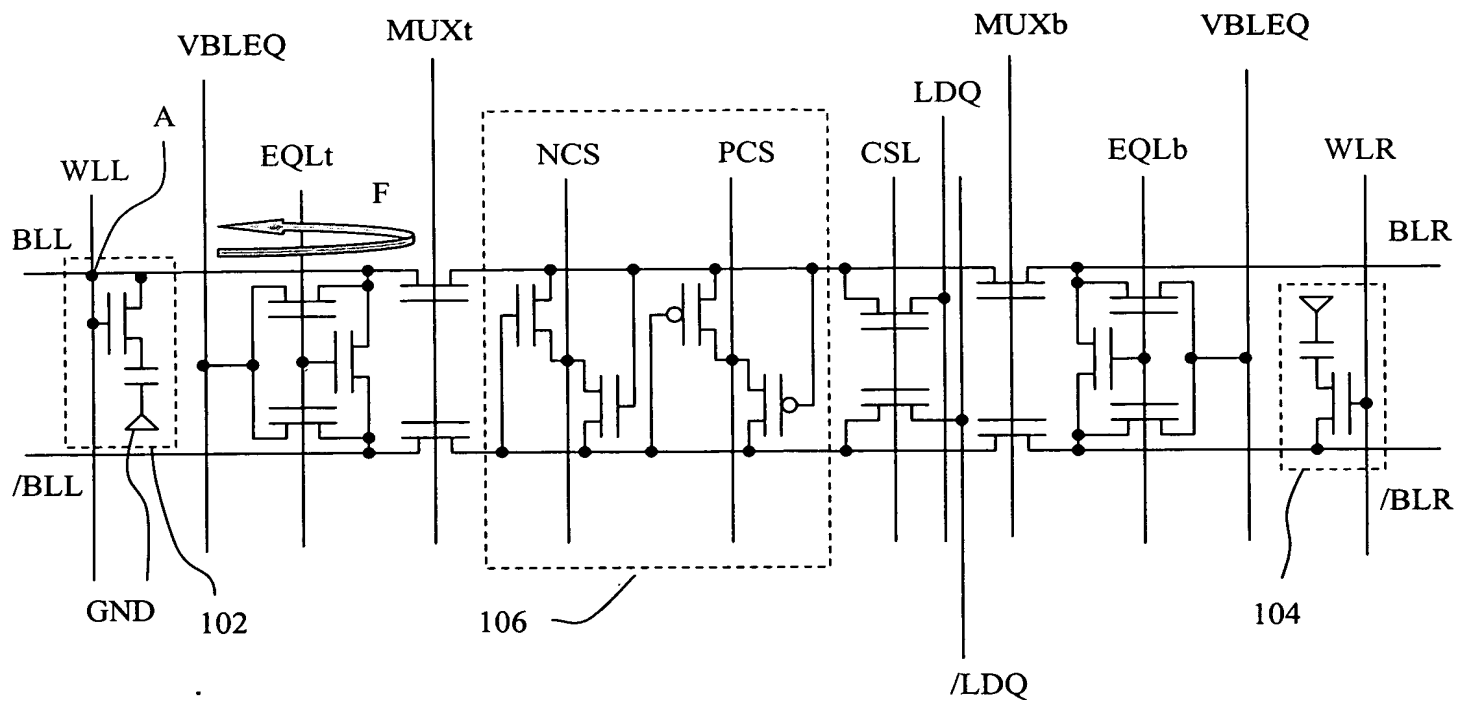
六、申請專利範圍

PMOSFET 電晶體其中之一。

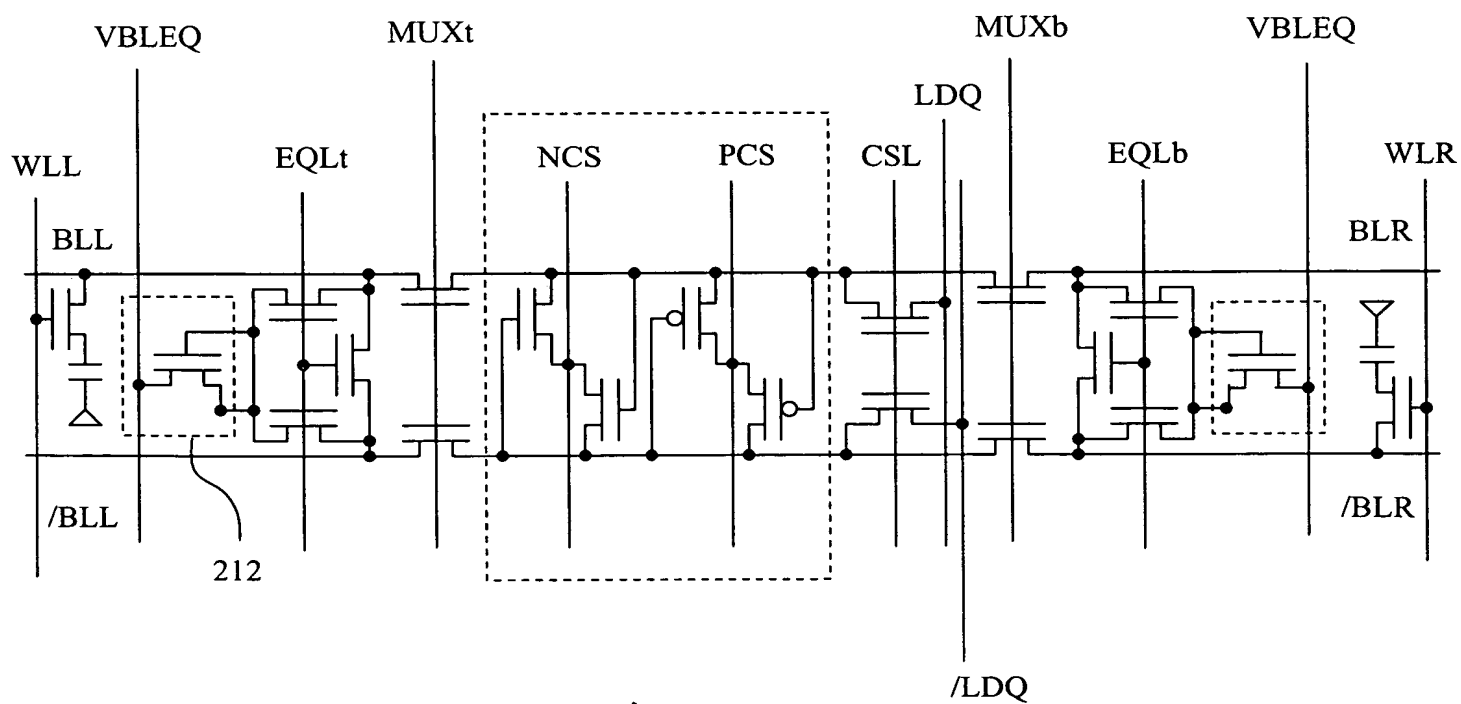
10. 如申請專利範圍第7項所述之記憶體裝置，其中該行關閉信號以及該列關閉信號係由一待機(stand-by)信號所控制。

11. 如申請專利範圍第7項所述之記憶體裝置，其中該記憶體陣列，包括一DRAM記憶體陣列。

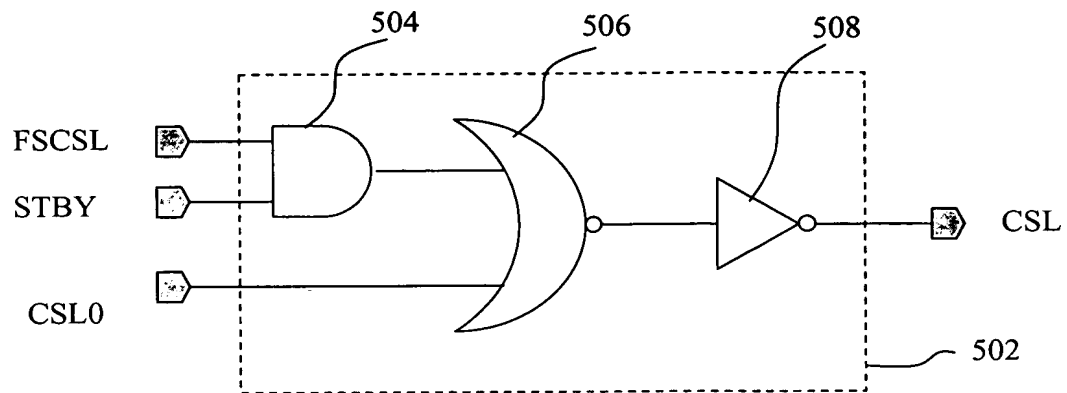




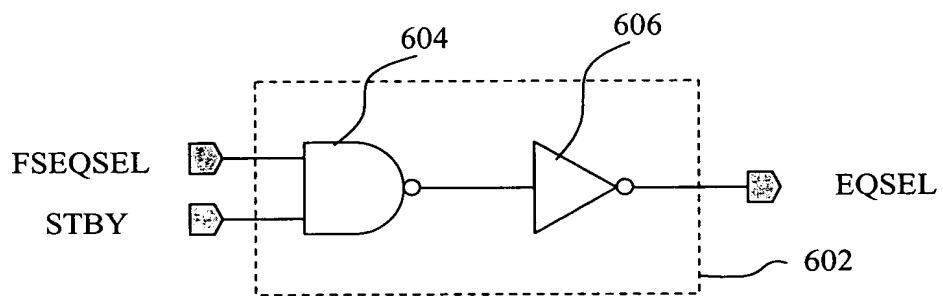
第1圖



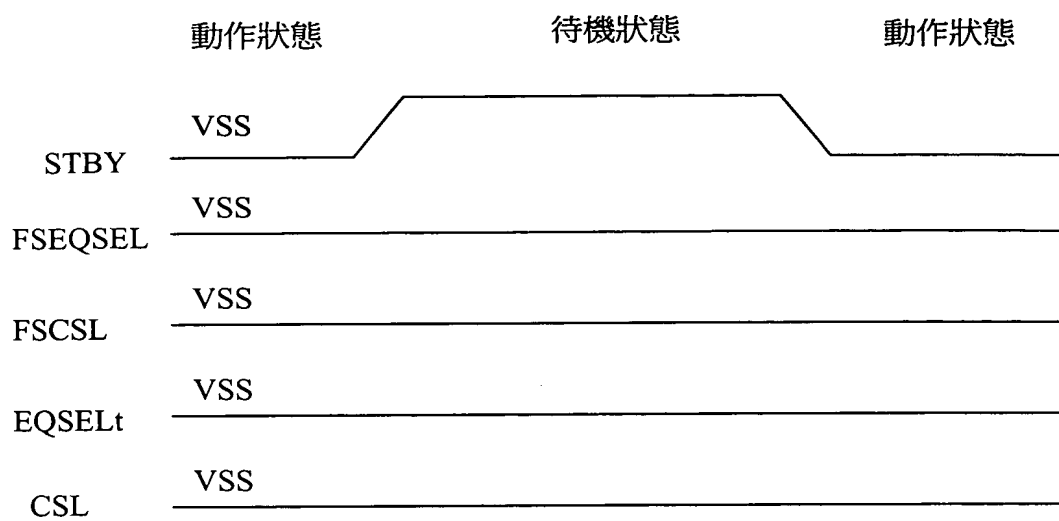
第2圖



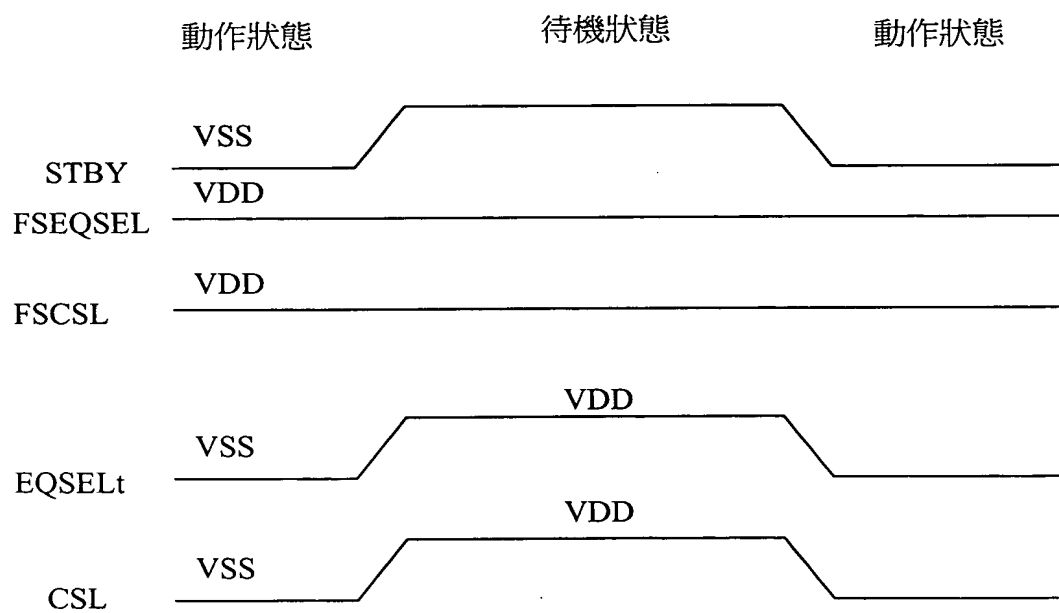
第5圖



第6圖

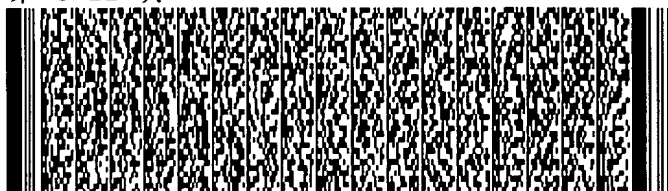


第7圖



第8圖

第 1/22 頁



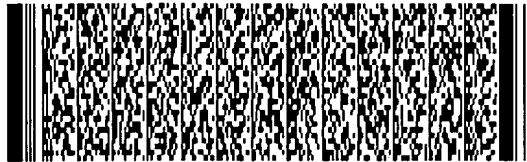
第 2/22 頁



第 2/22 頁



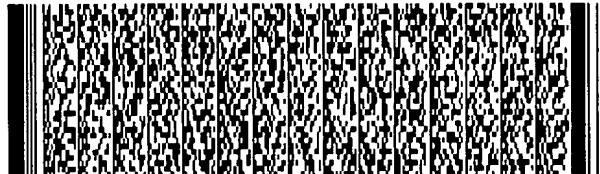
第 3/22 頁



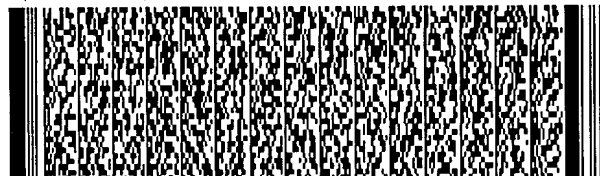
第 4/22 頁



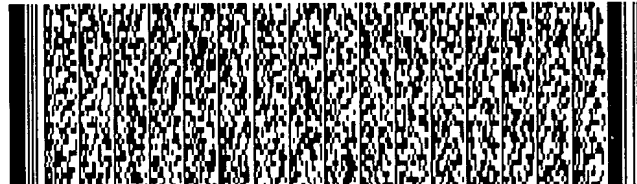
第 5/22 頁



第 5/22 頁



第 6/22 頁



第 6/22 頁



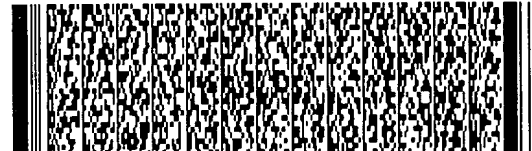
第 7/22 頁



第 7/22 頁



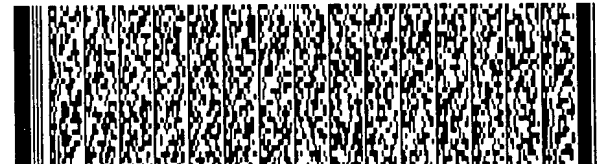
第 8/22 頁



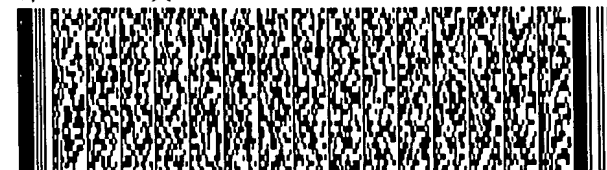
第 8/22 頁



第 9/22 頁



第 9/22 頁



第 10/22 頁



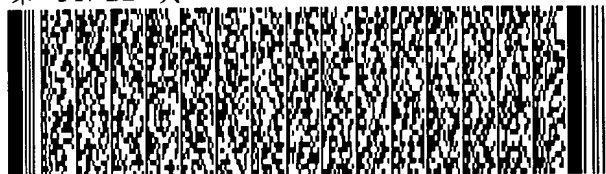
第 10/22 頁



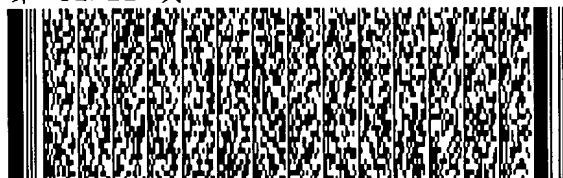
第 11/22 頁



第 11/22 頁



第 12/22 頁



第 12/22 頁



第 13/22 頁



第 13/22 頁



第 14/22 頁



第 14/22 頁



第 15/22 頁



第 15/22 頁



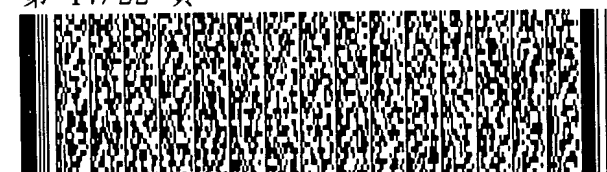
第 16/22 頁



第 16/22 頁



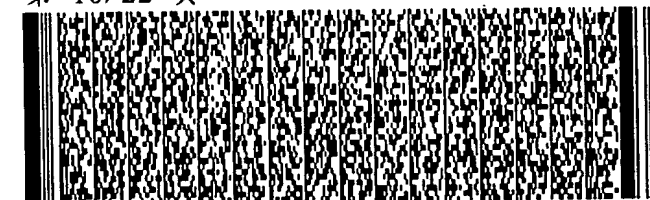
第 17/22 頁



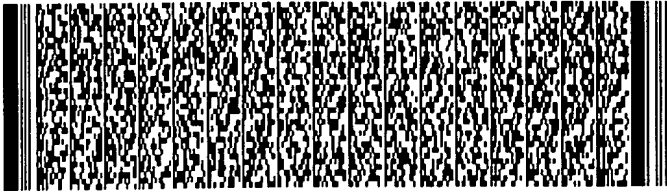
第 18/22 頁



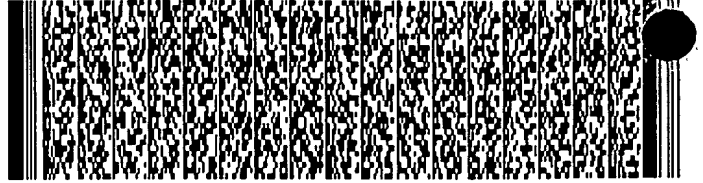
第 19/22 頁



第 20/22 頁



第 21/22 頁



第 22/22 頁

